

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-303426

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl.⁵

H 0 4 N 1/40

識別記号 庁内整理番号

1 0 1 A 9068-5C

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21)出願番号 特願平5-87578

(22)出願日 平成5年(1993)4月14日

(71)出願人 000107642

スター精密株式会社

静岡県静岡市中吉田20番10号

(72)発明者 松島 隆晴

静岡県静岡市中吉田20番10号 スター精密
株式会社内

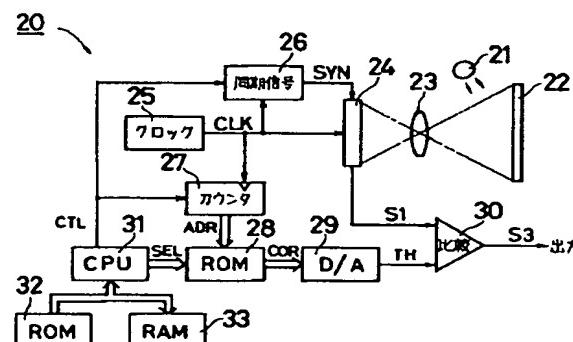
(74)代理人 弁理士 西教 圭一郎

(54)【発明の名称】 撮像情報補正方法および撮像装置

(57)【要約】

【目的】 撮像系の誤差や特性バラツキに起因する撮像信号のレベル変動を高い分解能でしかも高精度で補正することができる撮像情報補正方法および撮像装置を提供する。

【構成】 撮像装置20は、光源21と、レンズ系23と、ラインセンサ24と、クロック信号回路25と、同期信号回路26と、カウンタ回路27と、補正情報を記憶したROM28と、D/A変換器29と、比較器30などで構成されている。ラインセンサ24が原稿22を撮像すると、クロック信号CLKにしたがって撮像信号S1を出力するとともに、カウンタ回路27がクロック信号CLKを計数することによって画素アドレスを算出し、ROM28から補正情報がD/A変換器29に出力され、閾値信号THとして出力される。



【特許請求の範囲】

【請求項1】 複数の受光画素を有する撮像素子から、クロック信号にしたがって各受光画素の受光信号を出力することによって得られる撮像情報を補正するための撮像情報補正方法であって、前記撮像素子が输出している受光信号の画素アドレスを、前記クロック信号に基づいて算出する工程と、補正情報が予め記憶された記憶素子に前記画素アドレスを入力することによって、各受光画素に対応した補正情報を読み出す工程と、前記記憶素子から読み出された補正情報に基づいて、前記撮像素子から出力される撮像情報を補正する工程とを含むことを特徴とする撮像情報補正方法。

【請求項2】 クロック信号を生成するクロック信号回路と、

複数の受光画素を有し、前記クロック信号にしたがって各受光画素の受光信号を出力する撮像素子とを備える撮像装置において、前記撮像素子が输出している受光信号の画素アドレスを、前記クロック信号に基づいて算出するための画素アドレス算出手段と、

補正情報が予め記憶され、前記画素アドレスの入力によって各受光画素に対応した補正情報を出力するための補正情報記憶手段と、前記補正情報記憶手段から出力される補正情報に基づいて、前記撮像素子から出力される撮像情報を補正するための撮像情報補正手段とを備えることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、原稿などの反射像や透過像を撮像する撮像素子がoutputする撮像情報に対して、補正を行うための撮像情報補正方法および撮像装置に関する。

【0002】

【従来の技術】図9は、従来の撮像装置の一例を示す構成図である。この撮像装置は、原稿2を照明するための光源1と、原稿2からの反射光を結像するためのレンズ系3と、結像を光量分布に応じて撮像信号S1に変換するためのCCD(ChargeCoupled Device)などのラインセンサ4などから構成されており、ラインセンサ4が読み取ることのできる一次元領域(走査線)と原稿2を相対的に移動させることによって、原稿2を全面に渡って読み取ることができる。

【0003】図10は、図9の撮像装置において、白地の原稿2を読み取った場合の撮像信号S1を示すグラフである。原稿2の表面が、均一な光反射率を持つ白地であっても、光源1の照明ムラ、レンズ系3の口径歎、ラインセンサ4の感度分布ムラなどの影響によって、ラインセンサ4の中心に対して周辺が暗くなる現象が発生す

る。図10のグラフにおいて、横軸はラインセンサ4の受光画素数が2048個である場合の画素アドレスを示し、縦軸はラインセンサ4がoutputする撮像信号レベルを示す。なお、ラインセンサ4がoutputする撮像信号S1は、信号レベルが低いほど光量が多く、信号レベルが高いほど光量が少ないことを示す。このグラフを見ると、ラインセンサ4の中心付近の撮像信号レベルが低く、周辺ほど撮像信号レベルが高くなっている様子が理解される。撮像信号S1にこのようなレベル変動がある場合は、そのまま原稿2の読み取信号として利用することができない。

【0004】そこで、撮像信号S1のレベル変動を補正する方法として、(1)光源1の配光特性を補正する方法、(2)ラインセンサ4から出力される撮像信号S1を補正する方法などが考えられる。

【0005】先ず、光源1による補正方法(1)について説明する。図11(a)に示すように、白地原稿を読み取ったときの撮像信号S1は、中心から周辺へ移るにしたがって信号レベルが上昇し、すなわち周辺受光量が低下する、下に凸状のカーブを示しており、一方、光源1の配光特性L1は、中心から周辺へ移るにしたがって信号レベルが低下し、すなわち周辺配光が増加する、上に凸状のカーブを示している。したがって、撮像装置の撮像特性に対して、その変動を補償するような逆特性の配光特性を持つ光源1を用いることによって、図11(b)に示すように、白地原稿を読み取ったときでも、均一な撮像信号S2を得ることが可能になる。

【0006】次に、ラインセンサ4から出力された撮像信号S1の補正方法(2)について説明する。図12は、従来の撮像装置の電気的構成の一例を示すブロック図である。この撮像装置において、ラインセンサ4から出力された撮像信号S1は、A/D変換器5に入力されてアナログ信号からデジタル信号に変換され、RAM(ランダムアクセスメモリ)8に一時的に格納され、必要に応じて外部へ出力される。その際に、CPU(中央処理装置)6がROM(リードオンリーメモリ)7に予め記憶されたプログラムにしたがって動作し、ソフトウェア処理によって撮像信号S1を補正することが考えられる。

【0007】すなわち図13に示すように、RAM8に格納された撮像信号S1に対して、その変動を補償するような逆特性となる逆関数Fを多項式近似などで算出し、算出した逆関数Fと撮像信号S1とを加算処理することによって、撮像信号S1のレベル変動を補正することも可能である。

【0008】

【発明が解決しようとする課題】しかしながら、光源1による補正方法(1)では、撮像信号S1全体のレベル変動を抑制することが可能であるが、画素単位で変化するレベル変動を補正することが困難である。また、撮像

信号S1のレベル変動が個々の撮像装置で異なる場合や、単一の撮像装置においてレンズ系3や撮像素子4を交換した場合に、一定の配光特性を持つ光源1で個別的に補正することが困難であり、個々の撮像装置ごとに対応するには、様々な配光特性を有する光源を多数用意したり、配光特性を変化することができる特殊な光源が要求されるため、光源のコスト上昇を招くという課題がある。

【0009】また、ラインセンサ4から出力される撮像信号S1の補正方法(2)において、CPU6のソフトウェア処理を用いて撮像信号S1の補正をリアルタイムで行うには、ソフトウェアの負担が大きくかつ複雑化するため、高速処理が難しいという課題がある。また、撮像装置の寸法や仕様が異なる毎に別のソフトウェアが必要になるため、ソフトウェアの汎用性に欠けている。さらに、デジタル化された撮像信号を一旦RAM8に格納した後、ソフトウェアによる補正処理を行うことも考えられるが、この場合、原稿全面の撮像情報を得るまでの時間が非常に長くなるという課題がある。

【0010】また、ソフトウェア処理の1つとして、図13に示すような逆関数Fを算出する補正方法は、全体的なレベル変動を解消することはできても、画素単位で補正することが困難であり、きめ細かな補正是不可能である。

【0011】本発明の目的は、前述した課題を解決するため、撮像系の誤差や特性バラツキに起因する撮像信号のレベル変動を高い分解能で、しかも高精度で補正することができる撮像情報補正方法および撮像装置を提供することである。

【0012】

【課題を解決するための手段】本発明は、複数の受光画素を有する撮像素子から、クロック信号にしたがって各受光画素の受光信号を出力することによって得られる撮像情報を補正するための撮像情報補正方法であって、前記撮像素子が output している受光信号の画素アドレスを、前記クロック信号に基づいて算出する工程と、補正情報が予め記憶された記憶素子に前記画素アドレスを入力することによって、各受光画素に対応した補正情報を読み出す工程と、前記記憶素子から読み出された補正情報に基づいて、前記撮像素子から出力される撮像情報を補正する工程とを含むことを特徴とする撮像情報補正方法である。

【0013】また本発明は、クロック信号を生成するクロック信号回路と、複数の受光画素を有し、前記クロック信号にしたがって各受光画素の受光信号を出力する撮像素子とを備える撮像装置において、前記撮像素子が output している受光信号の画素アドレスを、前記クロック信号に基づいて算出するための画素アドレス算出手段と、補正情報が予め記憶され、前記画素アドレスの入力によって各受光画素に対応した補正情報を出力するための補

正情報記憶手段と、前記補正情報記憶手段から出力される補正情報に基づいて、前記撮像素子から出力される撮像情報を補正するための撮像情報補正手段とを備えることを特徴とする撮像装置である。

【0014】

【作用】本発明に従えば、撮像素子が output している受光信号の画素アドレスを、クロック信号に基づいて算出した後、補正情報が予め記憶された記憶素子に当該画素アドレスを入力することによって、各受光画素に対応した補正情報を読み出して、さらに読み出された補正情報に基づいて撮像素子から出力される撮像情報を補正しているため、画素単位で補正を行うことが可能になるとともに、当該記憶素子に記憶する補正情報の精度を向上させるほど、より高い精度の補正が可能になる。また、記憶素子に記憶する補正情報を必要に応じて変更することによって、撮像特性の個々の変動に対して個別に補正することができるため、撮像系の構成部品を交換した場合や撮像装置の経時変化が生じた場合でも、改めて高精度の補正を行うことが可能になる。

【0015】また本発明に従えば、撮像素子が output する受光信号の画素アドレスを、クロック信号に基づいて算出するための画素アドレス算出手段と、補正情報が予め記憶され、算出された画素アドレスの入力によって各受光画素に対応した補正情報を出力するための補正情報記憶手段と、出力された補正情報に基づいて、撮像素子から出力される撮像情報を補正するための撮像情報補正手段とを備えることによって、画素単位で補正を行うことが可能になるとともに、補正情報記憶手段に記憶する補正情報の精度を向上させるほど、より高い精度の補正が可能になる。また、補正情報記憶手段に記憶する補正情報を必要に応じて変更することによって、撮像特性の個々の変動に対して個別に補正することができるため、より高精度の補正が可能になる。

【0016】

【実施例】(第1実施例)図1は、本発明の第1実施例である撮像装置20の構成を示すブロック図である。この撮像装置20は、原稿22を照明するための光源21と、原稿22からの反射光を結像するためのレンズ系23と、結像を光量分布に応じて撮像信号S1に変換するための、たとえばCCDなどのラインセンサ24と、ラインセンサ24の受光画素単位の読み出しタイミングを決めるクロック信号CLKを生成するクロック信号回路25と、クロック信号CLKに基づいて走査線単位の読み出しタイミングを決める同期信号SYNを生成する同期信号回路26と、クロック信号CLKに基づいて、ラインセンサ24の各受光画素の受光信号の画素アドレスを計数するカウンタ回路27と、補正情報を予め記憶し、カウンタ回路27の画素アドレス計数出力に基づいて各受光画素に対応した補正情報を出力するROM(リードオシリメモリ)28と、ROM28から出力されるデジタ

ルデータから成る補正信号CORをアナログ信号に変換するためのD/A変換器29と、ラインセンサ24から出力される撮像信号S1とD/A変換器29から出力される閾値信号THとを比較する比較器30と、同期信号回路26やカウンタ回路27へ同期制御信号CTLを出力したり、ROM28に記憶された補正情報を選択するための選択信号SELを出力するCPU(中央処理装置)31と、CPU31が動作するためのプログラムやデータを格納するROM32、RAM(ランダムアクセスメモリ)33などで構成されている。

【0017】ラインセンサ24は、複数の受光画素が一次元的に配置されて受光面を形成しており、各受光画素において受光量に比例した電荷が蓄積されるとともに、蓄積された電荷が同期信号SYNの周期毎に取出され、さらにクロック信号CLKに同期して時系列的に撮像信号S1として出力される。

【0018】カウンタ回路27は、CPU31からの同期制御信号CTLによってカウンタ値が0に初期化されるとともに、その後クロック信号CLKに基づいてカウンタ値を1つずつインクリメントすることによって、画素アドレス信号ADRを算出して、ROM28へのアドレス信号として出力する。

【0019】ROM28には、光源21の照明ムラ、レンズ系23の口径歫、ラインセンサ24の感度分布ムラなど、撮像系の光学歪を電気信号に換算した補正情報が予め記憶されており、ROM28のアドレスを指定することによってラインセンサ24の各受光画素に対応した補正信号CORを出力する。なお、撮像系の条件や仕様が変わると適切な補正情報に変更する必要があるため、CPU31からの選択信号SELをROM28の上位アドレスとして追加することによって、様々な特性を持つ補正情報を切換え可能にしている。なお、これらの補正情報は、同様な撮像系を持つ実験装置で別途作成することが可能である。

【0020】D/A変換器29は、ROM28から画素アドレス信号ADRおよび選択信号SELによって定まる補正信号CORがデジタルデータとして入力されると、閾値信号THをアナログ信号として出力する。

【0021】比較器30は、撮像信号S1の信号レベルと、閾値信号THの信号レベルとを逐次比較し、撮像信号S1の方が大きい場合H(ハイレベル)を出力し、撮像信号S1の方が小さい場合L(ローレベル)を出力する。

【0022】以上のように、構成された撮像装置20の動作および本発明に係る撮像情報補正方法について説明する。先ず、図2(a)に示すような原稿22を撮像すると、ラインセンサ24がクロック信号CLKにしたがって、走査線に対応した各受光画素の受光信号を時系列的に出力する。このとき、カウンタ回路27は、クロック信号CLKを計数することによって、ラインセンサ2

4が出力している受光信号の画素アドレスを算出する。ROM28には、前述したような各種補正情報が予め記憶されており、カウンタ回路27から出力される画素アドレス信号ADRおよびCPU31から出力される選択信号SELによって定まる補正信号CORを出力する。補正信号CORは、D/A変換器29によって閾値信号THに変換され、比較器30の一方に入力される。

【0023】図2(b)は、ラインセンサ24から出力される撮像信号S1およびD/A変換器29から出力される閾値信号THを示すグラフである。撮像信号S1の全体形状が下に凸のカーブを示し、中心に対して周辺光量が減少している撮像特性に対応して、閾値信号THも下に凸のカーブを示し、さらに撮像信号S1に対して一定値を加算してオフセット部分が重畠されている。比較器30は、撮像信号S1が閾値信号THより大きいときのみHを出力することによって二值化して、図2(c)に示すように、走査線位置に対応した画像信号S3を得ることができる。このようにして、各受光画素に対応した補正情報に基づいて、ラインセンサ24からの撮像信号S1を二值化しているため、高品質の画像信号S3を得ることができる。

【0024】(第2実施例)図3は、本発明の第2実施例である撮像装置20aの構成を示すブロック図である。この撮像装置20aは、原稿22を照明するための光源21と、原稿22からの反射光を結像するためのレンズ系23と、結像を光量分布に応じて撮像信号S1に変換するためのラインセンサ24と、ラインセンサ24の受光画素単位の読み出しタイミングを決めるクロック信号CLKを生成するクロック信号回路25と、クロック信号CLKに基づいて走査線単位の読み出しタイミングを決める同期信号SYNを生成する同期信号回路26と、クロック信号CLKに基づいて、ラインセンサ24の各受光画素の受光信号の画素アドレスを計数するカウンタ回路27と、補正情報を予め記憶し、カウンタ回路27の出力に基づいて各受光画素に対応した補正情報を出力するRAM28aと、RAM28aから出力されるデジタルデータから成る補正信号CORをアナログ信号に変換するためのD/A変換器29と、ラインセンサ24から出力される閾値信号THとを比較する比較器30と、同期信号回路26やカウンタ回路27へ同期制御信号CTLを出力したり、RAM28aに記憶された補正情報を選択するための選択信号SELを出力するCPU31と、CPU31が動作するためのプログラムやデータを格納するROM32、RAM33と、撮像信号S1をアナログ信号からデジタル信号に変換するためのA/D変換器34と、RAM28aとその周辺回路とを接続するバス38、39等における信号の衝突を避けるためのゲート素子35、36、37などで構成されている。

【0025】本実施例における撮像装置20aは、第1

実施例のものと比べて、補正情報が書換え可能なRAM28aに記憶される点と、ラインセンサ24からの撮像信号S1をA/D変換器34によって多値化して補正情報を作成している点が相違する。なお、第1実施例で既に説明した部分は、同一符号を用いて重複説明を省略する。

【0026】A/D変換器34は、たとえば全面白地原稿などの基準原稿を撮像して得られる撮像信号S1を画素単位でデジタル信号に変換し、ゲート素子35を介して、RAM28aに出力する。こうして、この撮像装置20aに固有の撮像系の光学特性を電気信号に換算した補正情報がRAM28aに記憶され、RAM28aのアドレスを指定することによってラインセンサの各受光画素に対応した補正信号CORを取出すことができる。なお、RAM28aには、バックアップ用の電源28bが接続されており、撮像装置20aの電源遮断後も補正情報を記憶し続けることが可能となる。

【0027】CPU31は、ROM32に格納されたプログラムに基づいて、ゲート素子35～37を開閉するためのゲート信号G1～G3や、RAM28aを制御するための制御信号CTLaを出力する。

【0028】以上のように構成された撮像装置20aの動作および本発明に係る撮像情報補正方法について説明する。先ず、撮像装置20aの電源投入後、CPU31がスイッチSW1の状態を検知して、特性測定モードまたは通常読み取りモードのどちらのモードを動作させるかを判断する。先ず、特性測定モードが開始すると、CPU31はゲート信号G1、G3でゲート素子35、37をそれぞれ開け、ゲート信号G2によってゲート素子36を閉じる。次に、基準原稿を撮像して、クロック信号CLKに同期して、A/D変換器34によって撮像信号S1が画素単位でデジタル化されるとともに、クロック信号CLKを計数するカウンタ回路27が outputする画素アドレス信号ADRにしたがって、RAM28a内の所定領域に記憶される。こうして、この撮像装置20aに特有の撮像特性がRAM28aに格納される。次に、CPU31は、ゲート素子35、37を閉じて、ゲート素子36を開け、RAM28aに格納された撮像特性を取込んで、この撮像特性のレベル変動に対応した閾値データに変換し、再度RAM28aに格納する。こうして、第1実施例で説明したと同様な補正情報がRAM28aに記憶され、特性測定モードの動作が終了する。

【0029】次に、CPU31がスイッチSW1の状態変化を検知することによって、通常読み取りモードを開始し、ゲート素子35、36を閉じ、ゲート素子37を開ける。以下、第1実施例の説明と同様に、図2(a)に示すような原稿22を撮像すると、ラインセンサ24が各受光画素の受光信号を時系列的に出力するとともに、カウンタ回路27が画素アドレスを算出する。RAM28aでは、カウンタ回路27からの画素アドレス信号A

DRおよびCPU31からの選択信号SELが入力され、各受光画素に対応した補正信号CORが出力される。この補正信号CORは、D/A変換器29によって閾値信号THに変換され、比較器30によって撮像信号S1が二値化されることによって、図2(c)に示すように、走査線位置に対応した画像信号S3を得ることができる。

【0030】このように、各受光画素に対応した補正情報に基づいて、ラインセンサ24からの撮像信号S1を二値化するとともに、個々の撮像装置20a毎に生ずる光学特性のバラツキや、撮像系の構成部品の交換による変動に対処することが可能になり、高品質の画像信号S3を得ることができることである。

【0031】このように、本実施例において、補正情報を記憶するメモリとして、書換え可能なRAMを使用しているため、補正情報の自動校正および作成が可能になる。なお、本実施例での特性測定モードにおいて、撮像信号S1のデジタル信号を1度RAM28aへ格納する例を説明したが、直接CPU31に取込んで補正処理を行った後に、RAM28aへ格納する構成でも構わない。

【0032】(第3実施例) 図4は、本発明の第3実施例である撮像装置20bの構成を示すブロック図である。この撮像装置20bは、原稿22を照明するための光源21と、原稿22からの反射光を結像するためのレンズ系23と、結像を光量分布に応じて撮像信号S1に変換するためのラインセンサ24と、ラインセンサ24の受光画素単位の読出しタイミングを決めるクロック信号CLKを生成するクロック信号回路25と、クロック信号CLKに基づいて走査線単位の読出しタイミングを決める同期信号SYNを生成する同期信号回路26と、クロック信号CLKに基づいて、ラインセンサ24が出力している各受光画素の受光信号の画素アドレスを計数するカウンタ回路27と、補正情報を予め記憶し、カウンタ回路27の出力に基づいて各受光画素に対応した補正情報を出力するRAM28aと、RAM28aから出力されるデジタルデータから成る補正信号CORをアナログ信号に変換するためのD/A変換器29と、ラインセンサ24から出力される撮像信号S1とD/A変換器29から出力される閾値信号THとを比較する比較器30と、同期信号回路26やカウンタ回路27へ同期制御信号CTLを出力したり、RAM28aに記憶された補正情報を選択するための選択信号SELを出力するCPU31と、CPU31が動作するためのプログラムやデータを格納するROM32と、コンピュータなどの外部ホスト装置42と接続するための通信インターフェイス41と、外部ホスト装置42から送られるデータを一時的に格納するための通信バッファ40と、RAM28aに入力される信号線を開閉するゲート素子37などで構成されている。

【0033】本実施例における撮像装置20bは、第1実施例のものと比べて、補正情報が書換可能なRAM28aに記憶される点と、RAM28aに記憶される補正情報が外部ホスト装置42から転送される点が相違する。なお、第1実施例で既に説明した部分は、同一符号を用いて重複説明を省略する。

【0034】CPU31は、ROM32に格納されたプログラムに基づいて、外部ホスト装置42から送信されるデータを通信インターフェイス41を介して受信し、通信バッファ40に格納したり、ゲート素子37を開閉するためのゲート信号G3やRAM28aを制御するための制御信号CTLaを出力する。

【0035】以上のように構成された撮像装置20bの動作および本発明に係る撮像情報補正方法について説明する。先ず、撮像装置20bの電源投入後、CPU31が外部ホスト装置42から送信されたデータを解析して、補正情報転送コマンドが存在すれば、たとえばそのコマンドに続くデータを補正情報としてRAM28aに格納する。補正情報転送コマンドが無ければ、それまでに転送されたRAM28aに格納されたデータを補正情報として用いる。なお、外部ホスト装置42から転送される補正情報は、同様な撮像系を持つ実験装置で作成して外部ホスト装置42に格納しておいたものである。

【0036】次に、通常の撮像動作を行う場合は、第1実施例の説明と同様に、図2(a)のような原稿22を撮像すると、ラインセンサ24が各受光画素の受光信号を時系列的に出力するとともに、カウンタ回路27が画素アドレスを算出する。RAM28aでは、カウンタ回路27からの画素アドレス信号ADRおよびCPU31からの選択信号SELが入力され、各受光画素に対応した補正信号CORが出力される。この補正信号CORは、D/A変換器29によって閾値信号THに変換され、比較器30によって撮像信号S1が二値化されることにより、図2(c)に示すように、走査線位置に対応した画像信号S3を得ることができる。

【0037】このように本実施例においては、補正情報を外部ホスト装置から受信して書換え可能なRAMに格納しているため、補正情報の修正が容易になるとともに、各受光画素に対応した補正を行ふことができるため、高品質の画像信号を得ることができる。

【0038】(第4実施例)図5は、本発明の第4実施例である撮像装置20cの構成を示すブロック図である。この撮像装置20cは、原稿22を照明するための光源21と、原稿22からの反射光を結像するためのレンズ系23と、結像を光量分布に応じて撮像信号S1に変換するためのラインセンサ24と、ラインセンサ24の受光画素単位の読み出しタイミングを決めるクロック信号CLKを生成するためのクロック信号回路25と、クロック信号CLKに基づいて走査線単位の読み出しタイミングを決める同期信号SYNを生成する同期信号回路2

6と、クロック信号CLKに基づいて、ラインセンサ24が送出している各受光画素の受光信号の画素アドレスを計数するカウンタ回路27と、同期信号回路26やカウンタ回路27へ同期制御信号CTLを出力するCPU31と、CPU31が動作するためのプログラムやデータを格納するROM32、RAM33と、補正情報のうちの1つである基準信号REFaを予め記憶したROM50と、補正情報のうちの1つである增幅率信号GAを予め記憶したROM52と、ROM50から出力されるデジタルデータから成る基準信号REFaをアナログ信号に変換するためのD/A変換器51と、抵抗R1、R3、增幅率信号GAに基づいて抵抗値が変化するラダ抵抗体R2、R4および演算增幅器OPから成る差動増幅回路53と、差動増幅回路53から出力される撮像信号S4をアナログ信号からデジタル信号に変換するA/D変換器54などで構成されている。

【0039】本実施例における撮像装置20cは、第1実施例のものと比べて、ラインセンサ24から出力される撮像信号S1に対して、基準信号REFaおよび增幅率信号GAの2つの補正情報で回路特性が決まる差動増幅回路53を用いて補正している点と、補正された撮像信号S4をA/D変換器54で多値化している点が相違する。なお、第1実施例で既に説明した部分は、同一符号を用いて重複説明を省略する。

【0040】ROM50は、この撮像装置20cの光学特性のうち、カブレ、フレアー、迷光など撮像信号S1に対して加算的に重畠されるレベル変動を補正するための基準情報が予め記憶されており、一方、ROM52には、撮像装置20cの光学特性のうち、濃淡変動など撮像信号S1に対して乗算的に重畠されるレベル変動を補正するための増幅率情報が予め記憶されている。これらのROM50、52のアドレスを指定することによって、ラインセンサ24の各受光画素に対応した基準信号REFaおよび增幅率信号GAを出力する。

【0041】差動増幅回路53は、撮像信号S1から基準信号REFbを引算したものの、増幅率R2/R1(=R4/R3)を乗算するように動作する。

【0042】以上のように構成された撮像装置20cの動作および本発明に係る撮像情報補正方法について説明する。先ず、原稿22を撮像すると、ラインセンサ24がクロック信号CLKにしたがって、各受光画素の受光信号を時系列的に出力する。このとき、カウンタ回路27では、クロック信号CLKを計数することによって、ラインセンサ24が出力している受光信号の画素アドレスを算出する。ROM50、52は、カウンタ回路27から出力される画素アドレス信号ADRによって定まる各画素の基準信号REFaおよび増幅率信号GAをそれぞれ出力する。基準信号REFaは、D/A変換器51によってアナログ信号に変換されて基準信号REFbとして差動増幅回路53の抵抗R1に入力される。一方、

増幅率信号GAは、差動增幅回路53のラダー抵抗体R2、R4に入力され、デジタル値に対応した抵抗値が選択される。差動增幅回路53の抵抗R3には、ラインセンサ24からの撮像信号S1が入力され、基準信号REFbによって引算処理され、かつ増幅率信号GAによって乗算処理されることによって補正された撮像信号S4が出力される。撮像信号S4がA/D変換器54に入力されると、多値化された画像信号S5が出力される。

【0043】図6(b)は、図6(a)に示す無地の原稿22を撮像したときの撮像信号S1の信号レベルを示すグラフであり、それぞれ高濃度(黒)の原稿、中濃度(灰)の原稿、低濃度(白)の原稿を示す。図6(b)を見ると、各濃度において中心から周辺に移行するにつれて、受光量が減少し信号レベルが上昇する傾向は同様であるが、その変化率は原稿濃度によって相違するため、原稿濃度を複数の階調レベルで多値化する場合、単なる加減算処理による信号補正だけでは階調表現の精度向上に限界がある。そこで、本実施例では、補正情報として基準情報および増幅率情報を用いて、各受光画素毎に差動增幅回路53の回路定数を変化させることによって、高品質の階調画像信号を得ることができる。

【0044】図7は、本実施例における補正の手順を示すものであり、図7(a)に示す原稿22を走査線に沿って撮像すると、図7(b)に示す撮像信号S1がラインセンサ24から出力される。図7(b)の撮像信号S1から基準信号REFbを引算すると、図7(c)の実線で示すカーブが得られる。このカーブは、破線で示すような全体的な濃度変動が残るため、増幅率信号GAに基づいて乗算処理を行うと、図7(d)に示すように、正確な階調レベルを持つ撮像信号S4が得られる。

【0045】なお、本実施例において、補正情報がROM50、52に記憶される例を説明したが、書換え可能なRAMやEEPROM(Electrically Erasable and Programmable ROM)を用いることによって、補正情報を適宜変更することが可能となる。

【0046】(第5実施例)図8は、本発明の第5実施例である撮像装置20dの構成を示すブロック図である。この撮像装置20dは、原稿22をたとえば赤(R)、緑(G)、青(B)の3原色毎に照明するための光源21a、21b、21cと、光源21a、21b、21cを選択するための光源選択回路56と、原稿22からの反射光を結像するためのレンズ系23と、結像を光量分布に応じて撮像信号S1に変換するためのラインセンサ24と、ラインセンサ24の受光画素単位の読み出しタイミングを決めるクロック信号CLKを生成するためのクロック信号回路25と、クロック信号CLKに基づいて走査線単位の読み出しタイミングを決める同期信号SYNを生成する同期信号回路26と、クロック信号CLKに基づいて、ラインセンサ24が出力している各受光画素の受光信号の画素アドレスを計数するカウン

タ回路27と、同期信号回路26およびカウンタ回路27へ同期制御信号CTLを出力したり、補正情報のうちの1つである基準信号REFaを予め記憶したROM50、補正情報のうちの1つである増幅率信号GAを予め記憶したROM52、および光源選択回路56へ選択信号SELを出力したりするCPU31と、CPU31が動作するためのプログラムやデータを格納するROM32、RAM33と、ROM50から出力されるデジタルデータから成る基準信号REFaをアナログ信号に変換するためのD/A変換器51と、抵抗R1、R3、増幅率信号GAに基づいて抵抗値が変化するラダー抵抗体R2、R4および演算増幅器OPから成る差動増幅回路53と、差動増幅回路53から出力される撮像信号S6をアナログ信号からデジタル信号に変換するA/D変換器54などで構成されている。なお、差動増幅回路53は、撮像信号S1から基準信号REFbを引算したものに、増幅率R2/R1(=R4/R3)を乗算するよう動作する。

【0047】本実施例における撮像装置20dは、第1実施例のものと比べて、波長分布特性がそれぞれ異なる3つの光源を切換えて撮像する点、ラインセンサ24から出力される撮像信号S1に対して、ROM50、ROM52より得られる基準信号REFaと増幅率信号GAによって差動増幅処理によって補正を行う点、および補正された撮像信号S6をA/D変換器によって多値化している点が相違する。なお、第1実施例および第4実施例で既に説明した部分は、同一符号を用いて重複説明を省略する。

【0048】以上のように構成された撮像装置20dの動作および本発明に係る撮像情報補正方法について説明する。先ず、CPU31が選択信号SELを出力して、たとえば赤色の光源21aを点灯して原稿22を撮像すると、ラインセンサ24がクロック信号CLKにしたがって、各受光画素の受光信号を時系列的に出力する。このとき、カウンタ回路27は、クロック信号CLKを計数することによって、ラインセンサ24が出力している受光信号の画素アドレスを算出する。ROM50、ROM52は、カウンタ回路27から出力される画素アドレス信号ADRと選択信号SELによって定まる各画素の基準信号REFaおよび増幅率信号GAをそれぞれ出力する。基準信号REFaは、D/A変換器51によってアナログ信号に変換されて基準信号REFbとして差動増幅回路53の抵抗R1に入力される。一方、増幅率信号GAは、差動増幅回路53のラダー抵抗体R2、R4に入力され、デジタル値に対応した抵抗値が選択される。差動増幅回路53の抵抗R3には、ラインセンサ24からの撮像信号S1が入力され、基準信号REFbによって引算処理され、かつ増幅率信号GAによって乗算処理されることによって補正された撮像信号S6が出力される。撮像信号S6がA/D変換器54に入力される

と、多値化された画像信号S 7が出力される。

【0049】次に、CPU31が選択信号SELを出力して、たとえば緑色の光源21bを点灯して原稿22を撮像すると、上述と同様に、各受光画素に対応した基準信号REFbと増幅率信号GAによって差動増幅処理が行われ、ラインセンサ24から出力される撮像信号S1が画像信号S7として多値化される。

【0050】さらに、CPU31が選択信号SELを出力して、たとえば青色の光源21cを点灯して原稿22を撮像すると、同様に青色の画像信号S7が多値化して出力される。

【0051】このようにして、各光源の放射特性および各受光画素に対応した基準信号REFbおよび増幅率信号GAに基づいた差動増幅処理によって撮像信号S1を補正しているため、精度の良い階調表現を持つ高品質の画像信号を得ることができる。

【0052】なお、本実施例では、補正情報をROM50、52に記憶する例を用いて説明したが、書換え可能なRAMを用いて補正情報を適宜変更することも可能である。

【0053】以上の各実施例において、補正情報をROMまたはRAMに記憶する例を用いて説明したが、アドレス信号に対してデータ信号を出力することができる記憶素子であれば、たとえばEEPROMやフラッシュROMでも構わない。また、撮像素子として一次元のラインセンサ24を用いる例を説明したが、複数の受光画素が二次元状に配置されたエリアセンサを用いることも可能であり、この場合、各受光画素に対応して二次元的なデータ構成を持つ補正情報を記憶することで対処することができる。

【0054】

【発明の効果】以上詳説したように本発明によれば、撮像系の光学特性に起因したレベル変動を、撮像素子の各受光画素に対応した補正情報に基づいて補正することが可能となり、高い分解能の補正が可能になる。さらに、補正処理はハードウェアを用いて行っているため、ソフトウェア処理に比べて高速処理が容易に実現可能となる。また、補正情報を記憶する記憶手段として書換え可能なメモリを用いることによって、補正情報を適宜変更することが容易になり、撮像装置の構成部品の交換や経時変化によって変化した撮像特性に対しても簡単に対処できる。

【図面の簡単な説明】

【図1】本発明の第1実施例である撮像装置20の構成を示すブロック図である。

【図2】図2(a)は原稿22の一例であり、図2(b)はラインセンサ24から出力される撮像信号S1およびD/A変換器29から出力される閾値信号THを示すグラフであり、図2(c)は画像信号S3の信号を示すグラフである。

【図3】本発明の第2実施例である撮像装置20aの構成を示すブロック図である。

【図4】本発明の第3実施例である撮像装置20bの構成を示すブロック図である。

【図5】本発明の第4実施例である撮像装置20cの構成を示すブロック図である。

【図6】図6(a)は無地の原稿22の模式図であり、図6(b)は図6(a)に示す無地の原稿22を撮像したときの撮像信号S1を示すグラフである。

【図7】図5の撮像装置20cにおける補正の手順を示すものであり、図7(a)は原稿22の一例であり、図7(b)はラインセンサ24から出力される撮像信号S1を示すグラフであり、図7(c)は撮像信号S1から基準信号REFbを引算したグラフであり、図7(d)は図7(c)の信号に対して増幅率信号GAに基づいて乗算処理を行って得られる撮像信号S4のグラフである。

【図8】本発明の第5実施例である撮像装置20dの構成を示すブロック図である。

【図9】従来の撮像装置の一例を示す構成図である。

【図10】図9の撮像装置において、白地の原稿2を読み取った場合の撮像信号S1を示すグラフである。

【図11】図11(a)は撮像信号S1および光源1の配光特性L1を示すグラフであり、図11(b)は光源1の配光特性L1に基づいて補正された撮像信号S2を示すグラフである。

【図12】従来の撮像装置の電気的構成の一例を示すブロック図である。

【図13】図12の撮像装置における撮像信号S1および撮像信号S1の逆関数Fを示すグラフである。

【符号の説明】

20, 20a, 20b, 20c, 20d 撮像装置

21, 21a, 21b, 21c 光源

22 原稿

23 レンズ系

24 ラインセンサ

25 クロック信号回路

26 同期信号回路

27 カウンタ回路

40 28, 32, 50, 52 ROM

28a, 33 RAM

28b 電源

29, 51 D/A変換器

30 比較器

31 CPU

34, 54 A/D変換器

35, 36, 37 ゲート素子

38, 39 バス

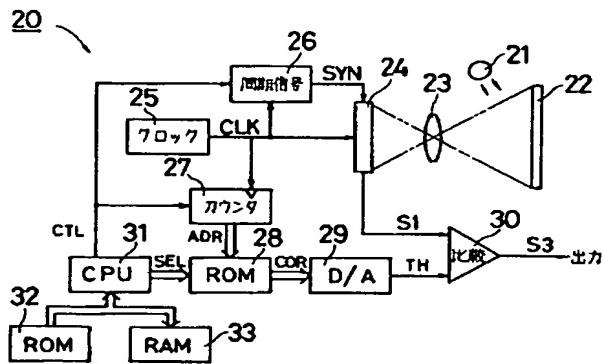
40 通信バッファ

50 41 通信インターフェイス

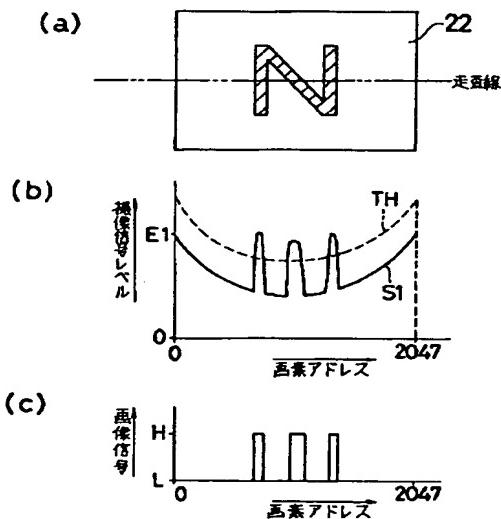
4 2 外部ホスト装置
5 3 差動增幅回路

* 5 6 光源選択回路
*

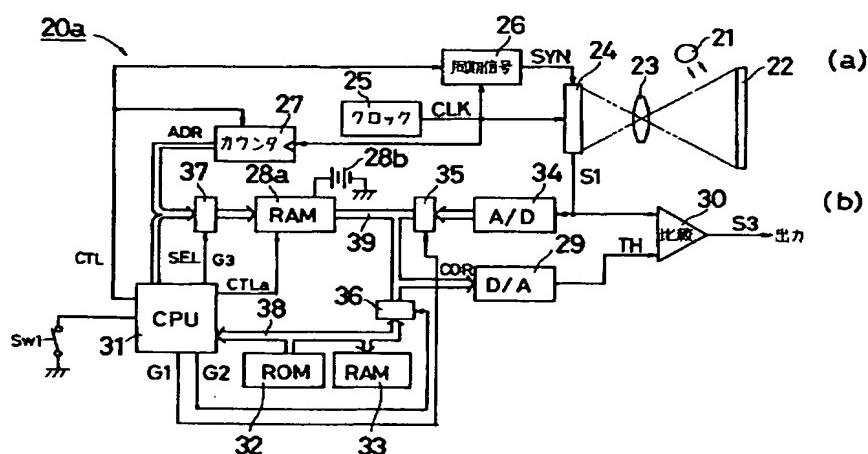
【図1】



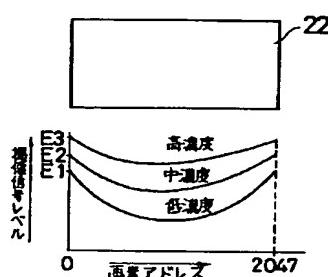
【図2】



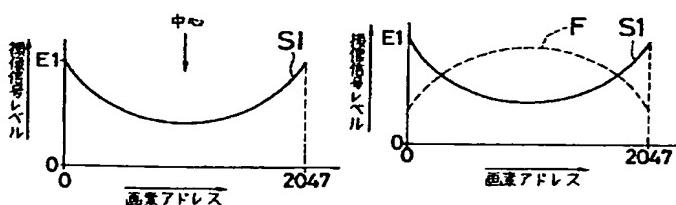
【図3】



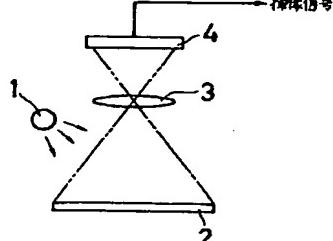
【図6】



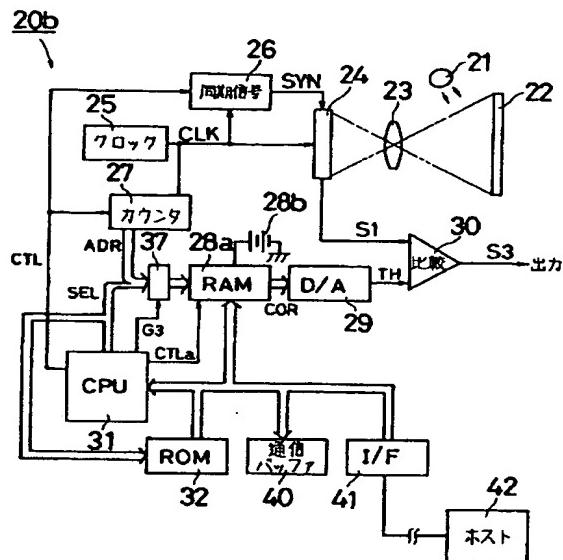
【図10】



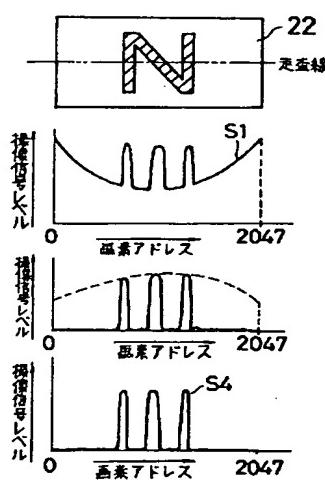
【図13】



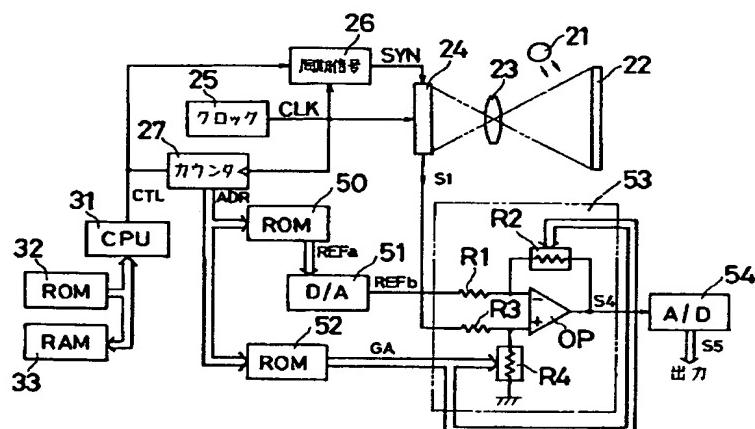
【図4】



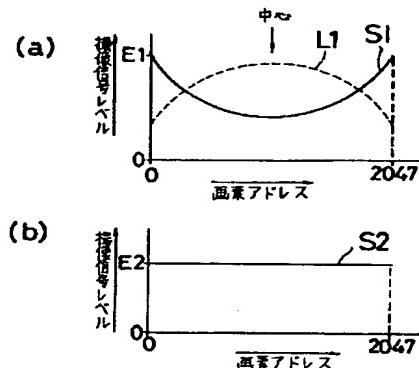
【図7】



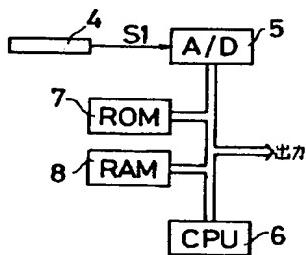
【図5】



【図11】



【図12】



【図8】

